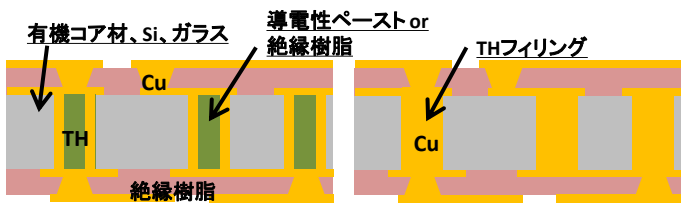


スルーホールフィリングプロセス

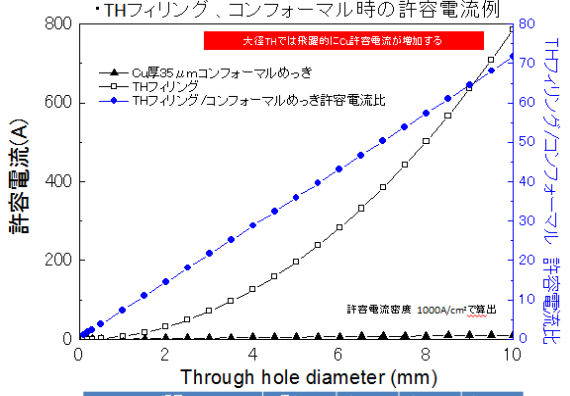
部品内蔵基板、半導体パッケージコア基板、パワーモジュール基板へのスルーホールフィリング技術

1 背景

- スルーホールの低抵抗化
- スタックピア時の工程削減
- 放熱性の向上
- スルーホール内のCTEミスマッチ改善による信頼性の向上



低抵抗化・放熱性の向上に対してはTH径が大きくなると飛躍的に向上することが想定される

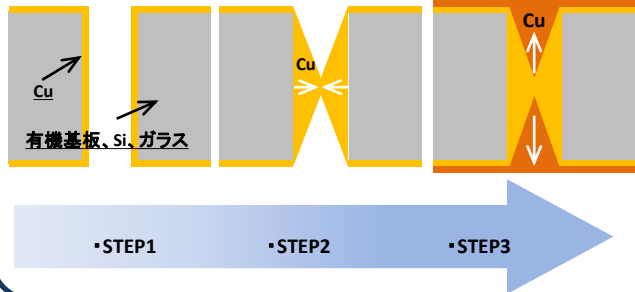


2 TH径Φ200μm以下向け PPR電解めっきによるスルーホールフィリング

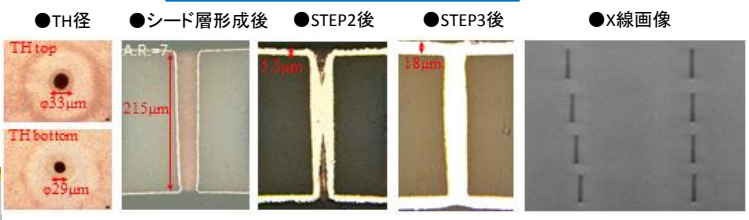
PPR電解を用いたTHフィリング手法

【3 STEP 小径(φ200μm以下)フィリングプロセス】

- Step 1 シード層の厚膜化
- Step 2 スルーホール中央部のCu成長
- Step 3 ボトムアップめっき



PPR電解を用いたTHフィリング結果



【開発中: 基板厚・微小スルーホール径・アスペクト比・表層膜厚・めっき時間の関係】

基板厚(μm)	TH径 (μm)									
	10	20	30	40	50	60	70	80	90	100
100	A.R.=10	5.0	3.3	2.5	2.0	1.7	1.4	1.3	1.1	1.0
150	15	7.5	5	3.8	3	2.5	2.1	1.9	1.7	1.5
200	20	10	6.7	5	4	3.3	2.9	2.5	2.2	2
400	40	20	13.3	10	8	6.7	5.7	5	4.4	4
表層Cu厚(μm)	3.5	6	8.5	11	13.5	16	18.5	21	23.5	26
めっき時間(min)	32	53	73	93	112	133	153	173	191	213

●開発中 THフィリングと表裏層パターンニング(セミアディティブ)の同時電解Cuめっき

3 TH径Φ200μm以上向け Cu凸構造を利用したスルーホールフィリング

Cu突起を利用したTHフィリング手法

Φ200μm以上スルーホールフィリング デイジーチェーン構造サンプル作成結果

【3 STEP 大径(φ200μm以上)フィリングプロセス】

- Step 1 大径スルーホール凸構造形成
- Step 2 絶縁材ラミネート・スルーホール頭出し
- Step 3 従来のビアフィルめっき工程

