

Panel Level _ Device Embedded Module (PL_DEM0201)

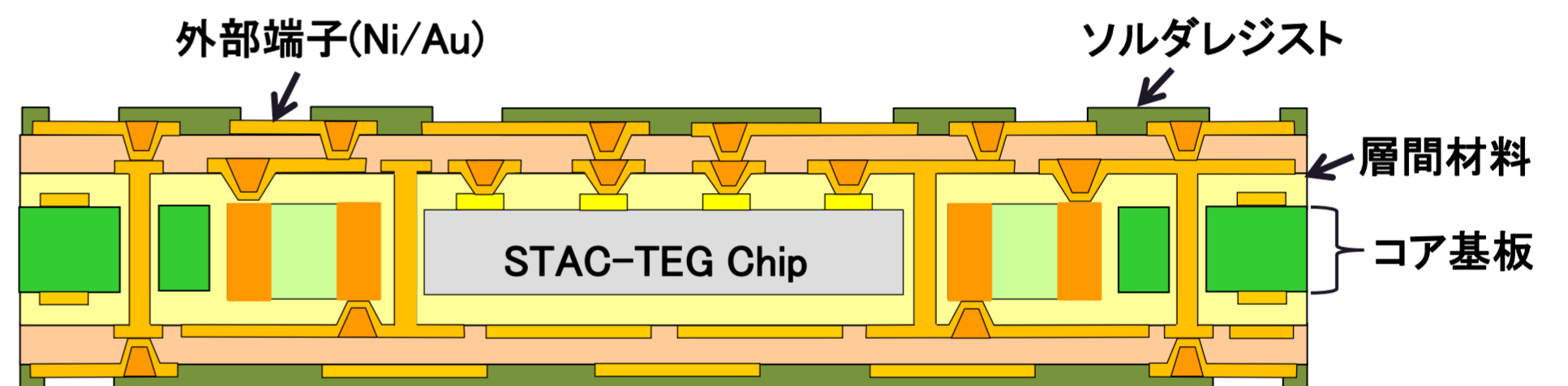
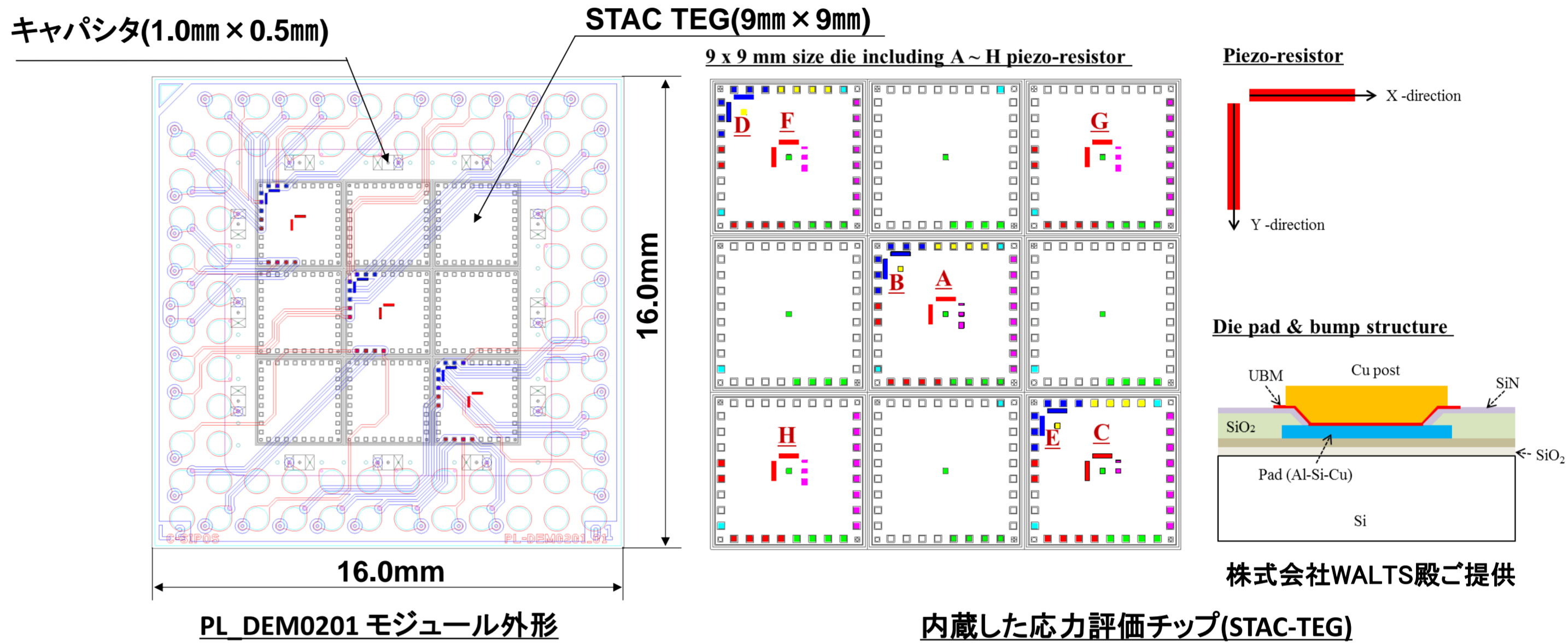
【背景】

狭ピッチ、多ピンのFan-out CSPを基板サイズレベルで製造するパッケージング技術が注目を集めている。三次元半導体研究センターでは、部品内蔵技術を用いて、コア基板のキャビティ内にICチップ、受動部品を内蔵する基板レベル部品内蔵モジュール(Panel Level _ Device Embedded Module)の構造設計、プロセス開発を行っている。

【設計概要】

パッケージ基本仕様

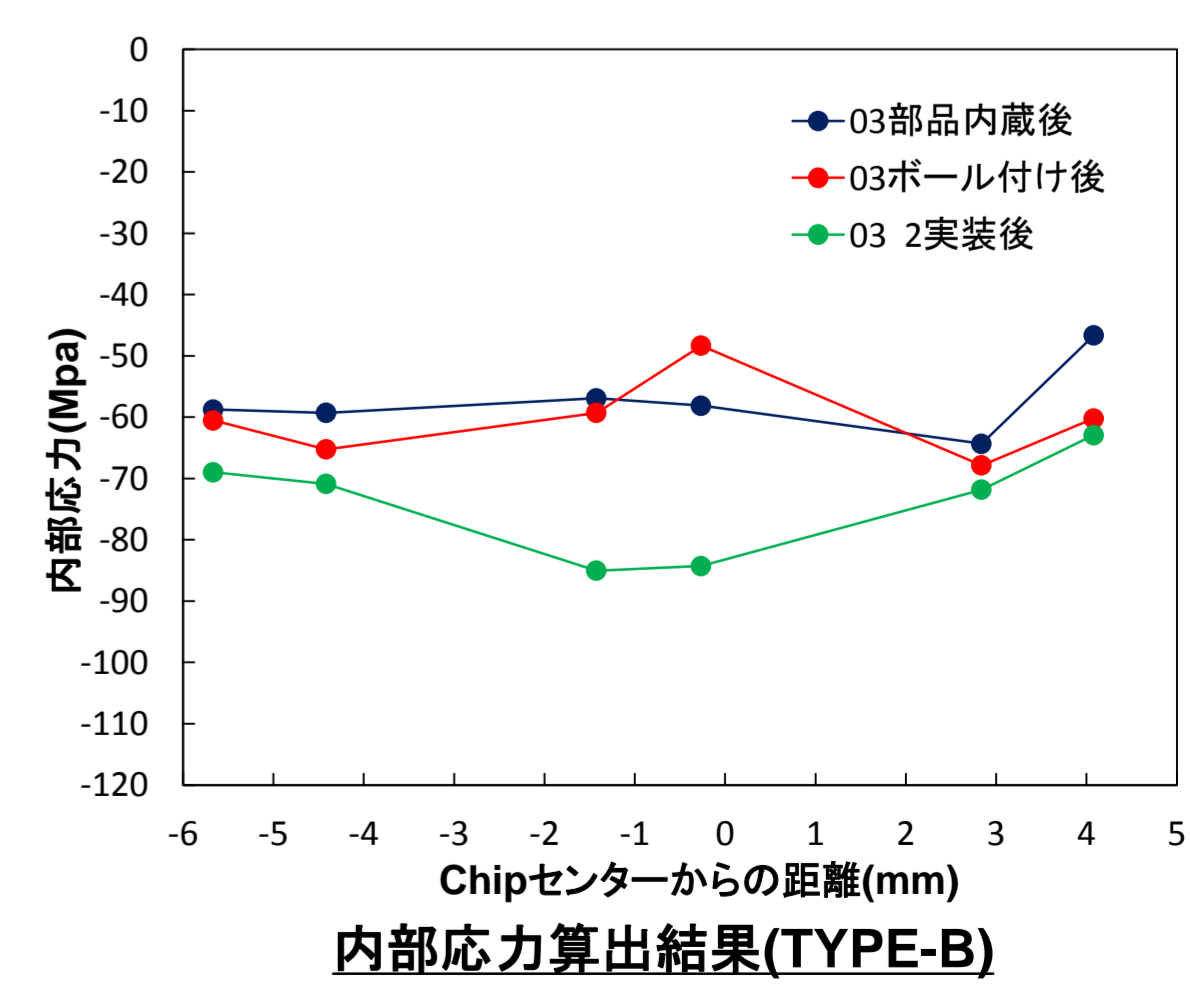
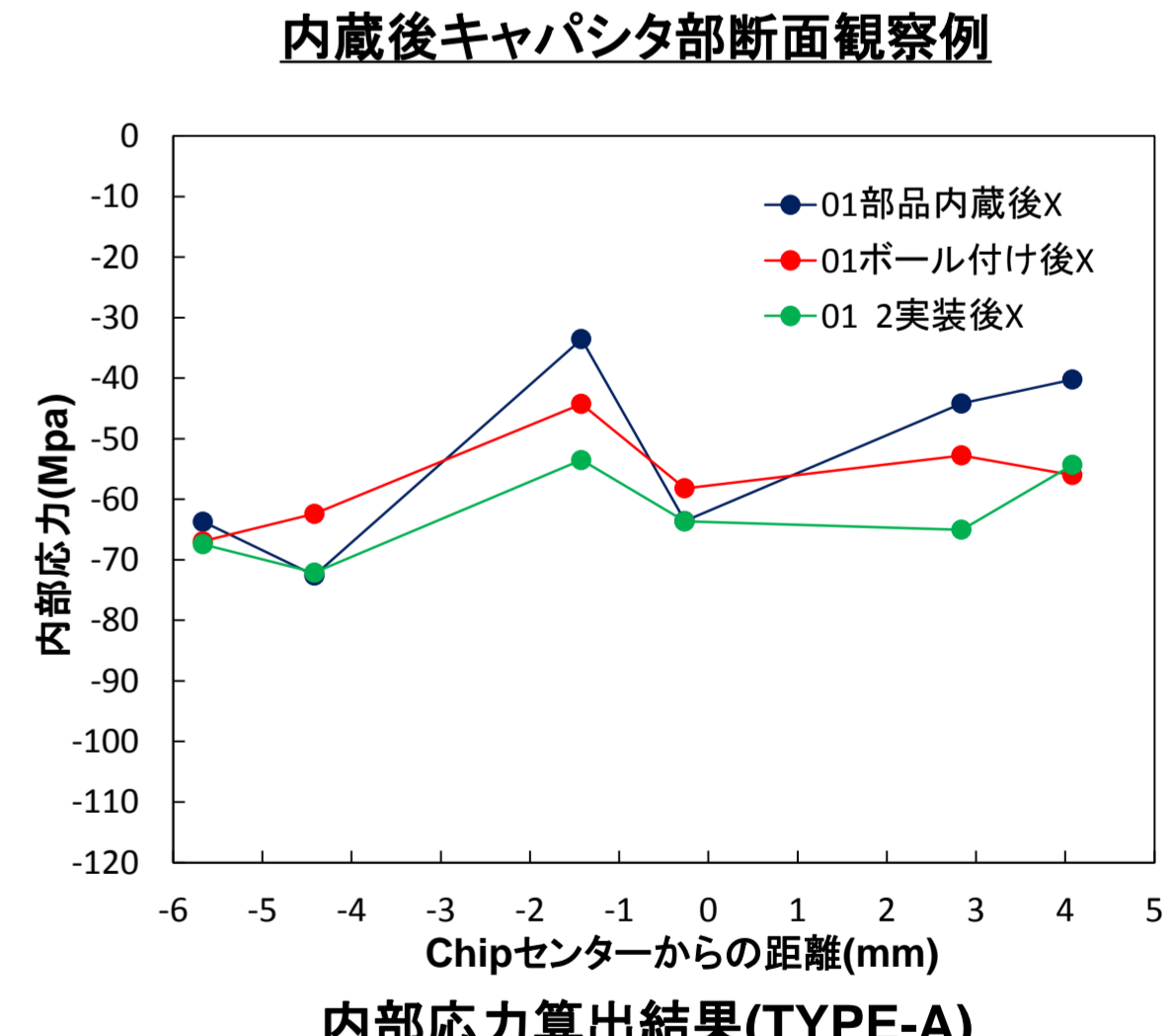
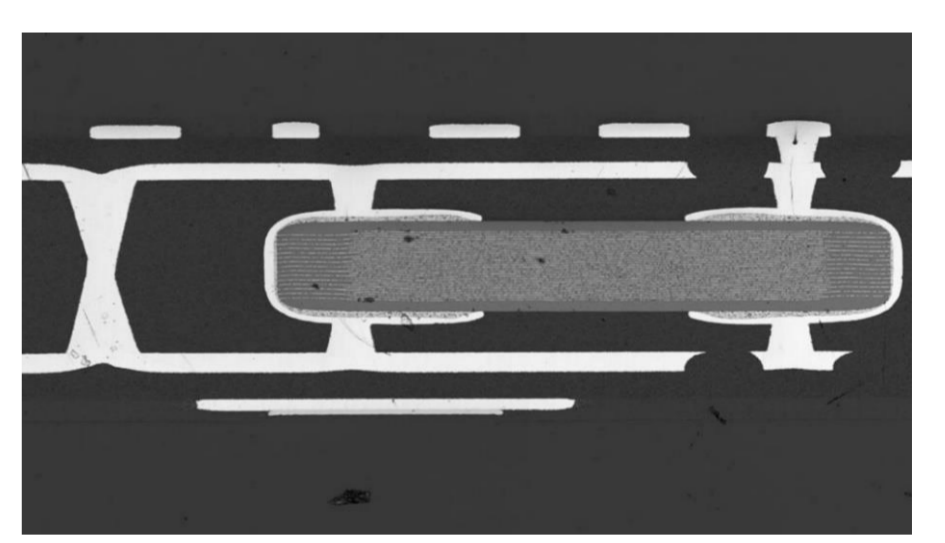
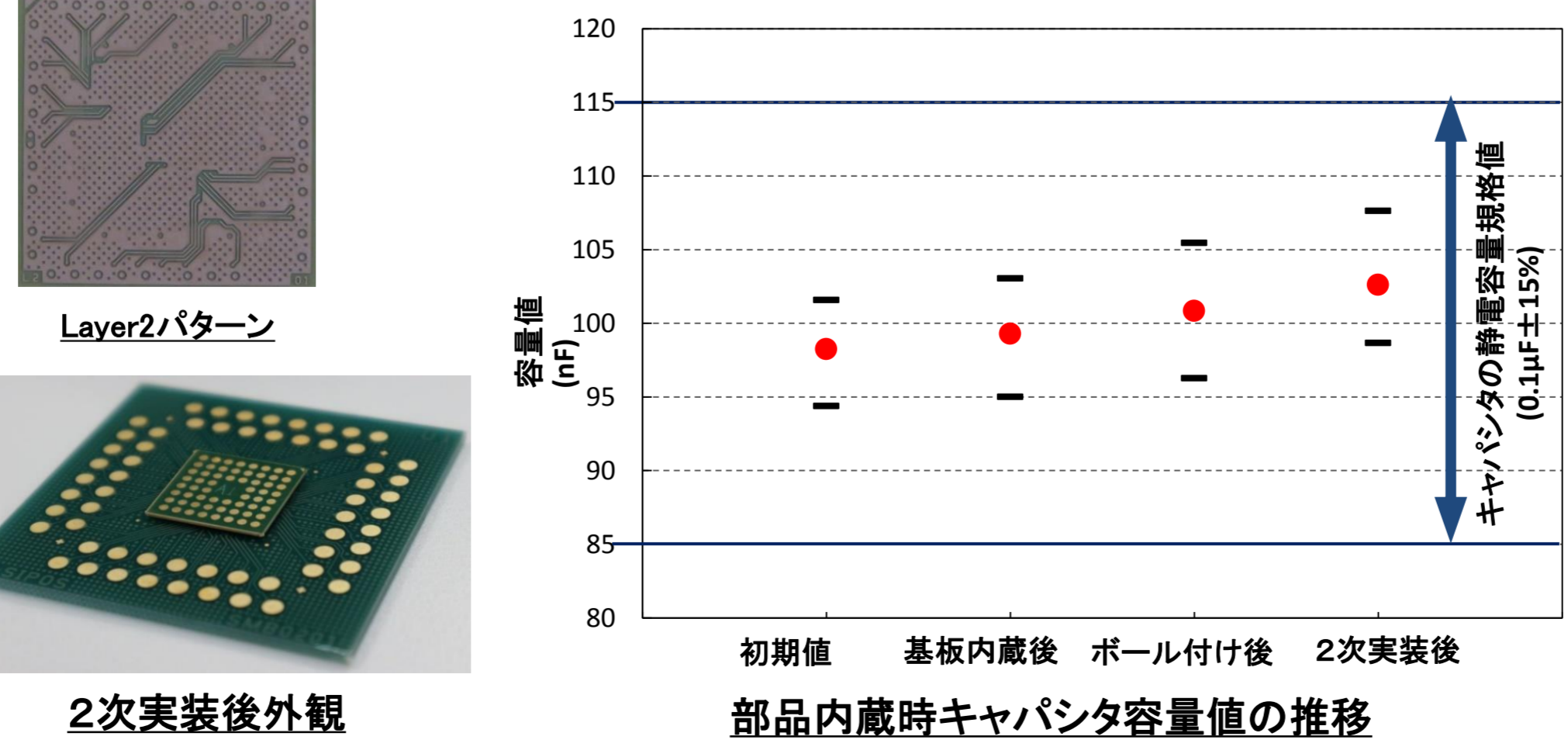
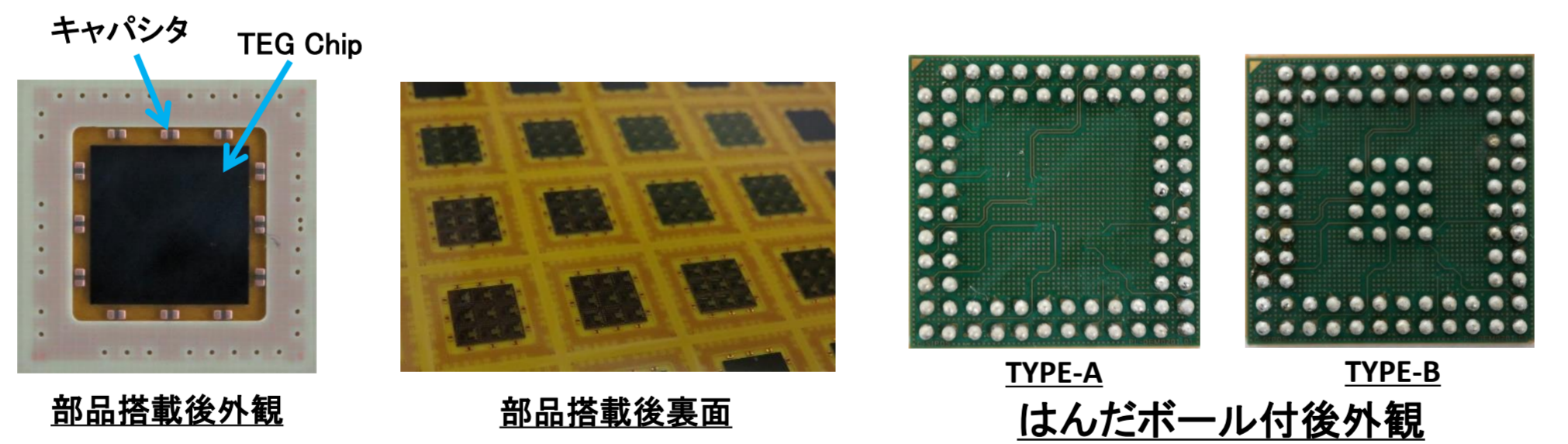
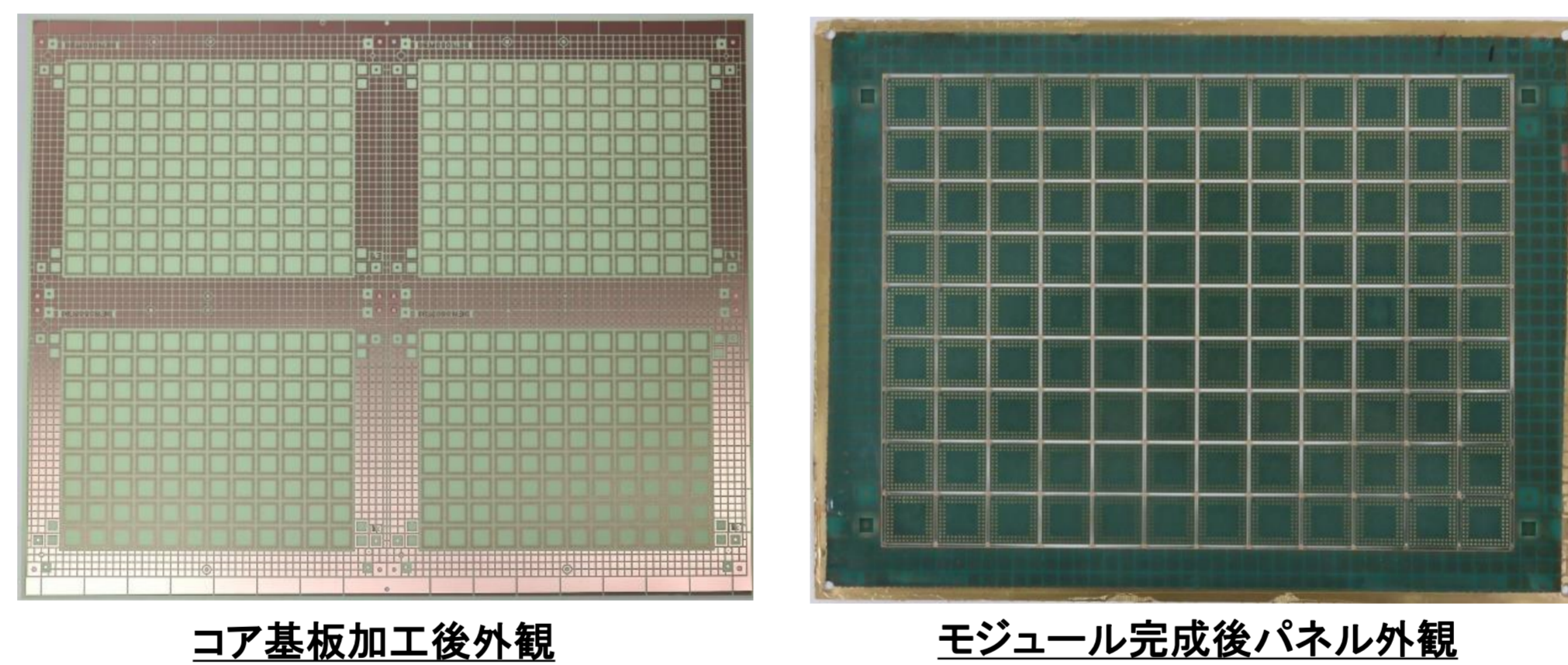
- 1.型番: SIPOS PL_DEM0201
- 2.基板構成: 2-2-2ビルドアップ基板
* コアキャビティにChip及びキャパシタを内蔵
- 3.PKGサイズ: 16.0mm × 16.0mm × t0.4~0.5 mm
- 4.基板搭載面端子数
 - ①PL_DEM0201_01: 79Pad(Fan-out)
 - ②PL_DEM0201_02: 143Pad(Full-Array)
 - ③PL_DEM0201_03: 95pad(Fan-in + Fan-out)
- 5.搭載部品
 - 5-1.TEG-Chip
 - ・型名: STAC-0101JY(WALTS社製)
 - ・搭載チップサイズ: 9.0mm × 9.0mm × t0.2 mm
 - ・Padピッチ: 120μm
 - ・Pad表面: Cuポスト(ポスト高:20μm, φ100μm)
 - 5-2.キャパシタ 12個/1PKG 搭載
 - ・サイズ: 1.0mm × 0.5mm × t0.18mm
 - ・電極表面: Cuめっき



【試作 評価結果】

PL_DEM0201製造プロセス及び評価フロー

- | | |
|---------------|---|
| ピエゾ抵抗,キャパシタ測定 | ピエゾ抵抗6箇所
キャパシタ12個/1PKG |
| コア基板加工 | L3/L4層パターンニング
キャビティ加工 |
| 部品搭載 | コア基板に仮止めテープ貼付
キャパシタ搭載:モジュール
Chip搭載:FCボンダー |
| 層間材料ラミネート | 真空ラミネータ
裏面ラミネート→表面ラミネート |
| レーザーVia加工 | UVレーザー加工 |
| デスミア、無電解めっき | レーザーデスミア除去
シード形成 |
| L2/L5パターン形成 | 電解Cu⇒ハーフエッチ⇒
サブトラパターン形成 |
| 層間材料ラミネート | 真空ラミネータ |
| レーザーVia加工 | UVレーザー加工 |
| デスミア、無電解めっき | レーザーデスミア除去
シード形成 |
| L1/L6パターン形成 | セミアディティブパターン形成
⇒電解Cu⇒シードエッチ |
| SR形成、Ni/Auめっき | ソルダレジストパターン形成
測定端子Ni/Auめっき |
| 外形加工 | 外形加工装置
モジュールサイズ:16×16mm |
| ピエゾ抵抗,キャパシタ測定 | ピエゾ抵抗6箇所
キャパシタ12個/1PKG |
| はんだボール搭載 | はんだボール搭載
N2リフロー炉 |
| ピエゾ抵抗,キャパシタ測定 | ピエゾ抵抗6箇所
キャパシタ12個/1PKG |
| モジュール2次実装 | 2次実装基板搭載
N2リフロー炉 |
| ピエゾ抵抗,キャパシタ測定 | ピエゾ抵抗6箇所
キャパシタ12個/1PKG |



*** 部品内蔵、2次実装など工程を経るごとにキャパシタ容量の増加が観察された。
* 2次実装時のボール配置により、内部応力変化に差異が見られる。**