

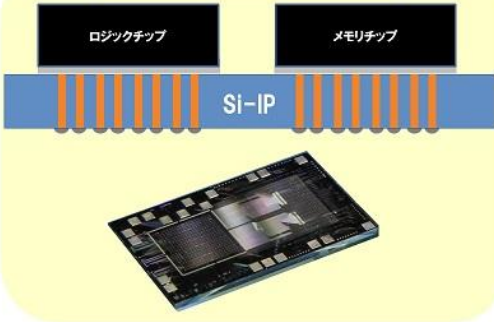
2.5D Si-Interposer プロセス技術

株式会社図研、株式会社ウォルツ共同開発

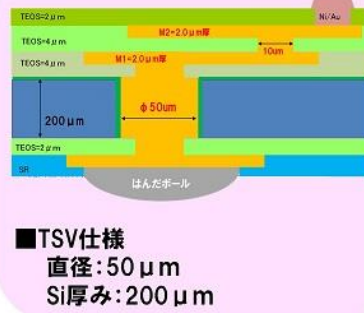
【背景】

2017年度から「(株)図研」「(株)ウォルツ」と3社で2.5D TSVの共同開発をスタートした。ウォルツ社のTEGチップの搭載を想定し、図研社の設計ツールCR-8000 Design Forceを使ってシリコンインターポザーを設計し、三次元半導体研究センターでプロセス開発を行った。

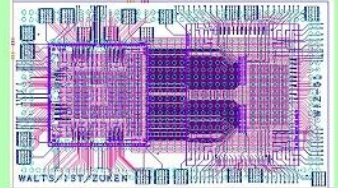
2.5D Siインターポザーイメージ



Siインターポザー構造



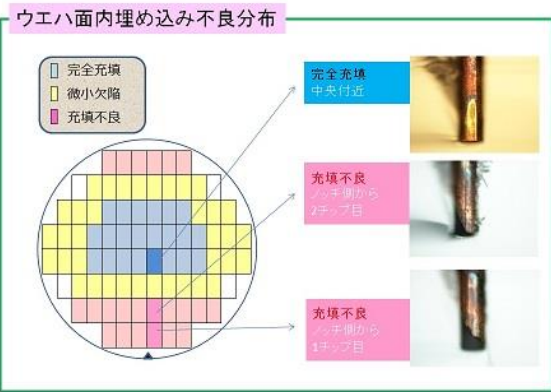
配線設計



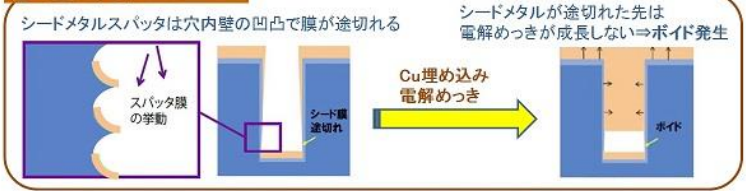
■配線仕様
L/S最小寸法: 5 µm/5 µm
Daisy chain: 3本(ロジックチップ)
3本(メモリチップ)

【開発内容】

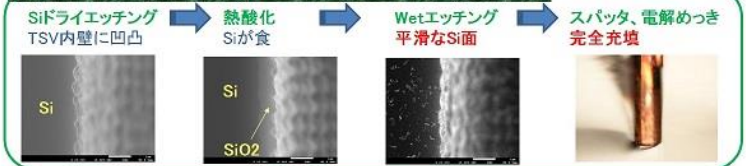
■高アスペクトTSV対応の埋め込み不良対策



埋め込み不良のメカニズム



犠牲酸化処理を利用してTSV内壁の凹凸(Seallop)を低減

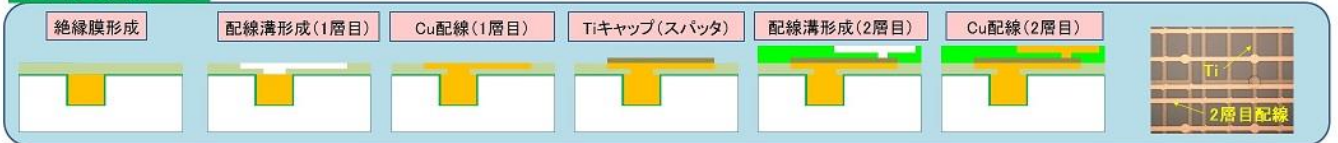


■Cu配線上のCVD酸化膜の密着性改善

不具合: 2層配線形成後、リフロー処理をすると、CVD膜のクラック、剥がれが発生

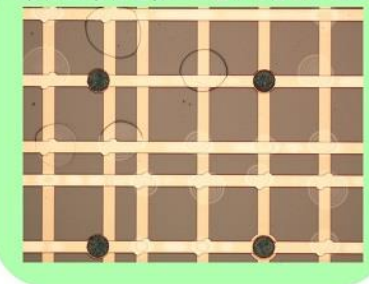
対策: 1層目配線表面にスパッタでTiを成膜(Ti キャップ)。リフロー3回の加速評価でも膜剥がれ無し

Ti キャップ適用フロー



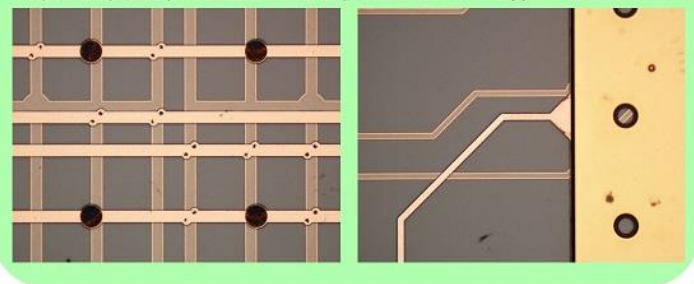
従来のCu配線:リフロー1回で剥がれ発生

1層目と2層目配線の交差する箇所が起点



Ti cap適用のCu配線:リフロー3回の加速評価でも剥がれ無し

1層目と2層目配線の交差点、及び面積大のパッド上でも剥がれ無し



リフロー条件

ガス: N₂
温度: 260°C
保持時間: 30sec