

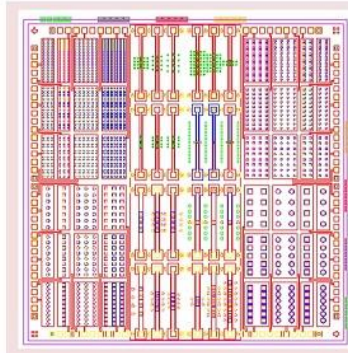
高アスペクト比TSVのための 無電解めっきによるシード層補填技術

【背景】

2.1D/2.5D実装用シリコンインターポーザでは、ハンドリングに耐える十分な厚みが必要となる。従来のスパッタシードでは対応が難しいTSV仕様に向けて、無電解めっきによる高アスペクト比TSVシード層補填技術開発・めっき皮膜のバリア性評価を行った。



高アスペクト比TSVでのボイド発生



- TEG基本仕様
- ・品名：SIPOS-TEG SI0401
 - ・TSV-SiのI-Vリーク測定
 - ・TSV-TSVのI-Vリーク測定
 - ・Daisy chain
- ・評価パターン
- ①丸型TSV
 - …φ20, 30, 50, 80 μm
 - ②角型TSV
 - …□20, 30, 50, 80 μm



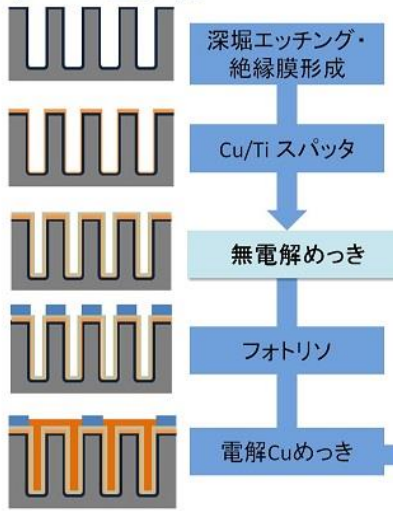
半導体工程

基板工程



I-V特性評価

【プロセス】

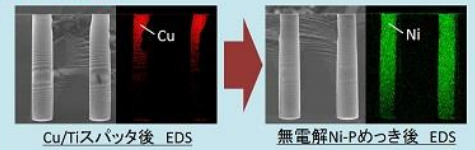


- 埋め込み評価TSVの仕様
- φ50-d290 μm (トリートメント無)
 - 絶縁膜：熱酸化膜 500 nm
 - スパッタ膜厚：Cu/Ti=500/300 nm
- 無電解めっきプロセス
- ①表面調整
 - ②酸活性
 - ③プリディップ
 - ④Pd付与
 - ⑤活性化
 - ⑥各種無電解めっき



スパッタ Cu/Ti 130 μm 無電解 Cuめっき 150 μm 無電解 Ni-Pめっき 290 μm 無電解 Ni-Bめっき 140 μm 無電解 Co-Bめっき 230 μm

* 無電解Ni-Pシードによりアスペクト比約6のTSVを完全にフィリングした。



Cu/Tiスパッタ後 EDS

無電解Ni-Pめっき後 EDS

【I-V測定条件と結果】

I-V特性評価

- 電気特性評価TSVの仕様
- φ50-d200 μm (トリートメント有)
 - 絶縁膜：CVD-SiO₂ 550 nm
 - スパッタ膜厚：
 - ・スパッタ：Cu/Ti=500/300 μm
 - ・Ni-P水準：Cu/Ti=150/25 μm

- 恒温恒湿試験条件
- 吸湿条件
 - JEDEC LEVEL1: 85°C, 85%RH -168 hr
 - リフロー条件
 - 240°C -3 cycle

- I-V測定条件
- TSV-Si間リーク電流測定
 - 印加電圧：0~40 V

* シード層に無電解Ni-Pを用いた場合も、スパッタCu/Tiと同等の低リーク電流レベルが得られた。

