

Panel Level Device Embedded Module (PL_DEM)

【背景・目的】

狭ピッチ、多ピンのFun-out CSPを基板サイズレベルで製造するパッケージング技術が注目を集めている。三次元半導体研究センターでは、部品内蔵技術を用いて、コア基板のキャビティ内にICチップ、受動部品を内蔵する基板レベル部品内蔵モジュール(Panel Level Device Embedded Module)の構造設計、プロセス開発を行っている。

パッケージ基本仕様

1.型番:SIPOS PL_DEM0101

2.基板構成:1-2-1ビルドアップ基板
(コアにChip内蔵)

3.層構成

①Layer1 Viaランド、表層配線、測定端子

②Layer2 キャビティ、内層配線

③Layer3 キャビティ、内層配線

④Layer4 裏面配線

⑤Via Layer1-Chip-Pad間

⑩SR1 表面ソルダレジスト

⑪SR2 裏面ソルダレジスト

4.搭載チップ

・型名: STAC-0101JY(WALTS社製)

・搭載チップサイズ: $9.0 \times 9.0\text{mm}^2 \times t0.2\text{mm}$
(ベースステップを3x3で使用)

・Padピッチ: $120\mu\text{m}$

・Pad表面: Cuポスト(ポスト高: $20\mu\text{m}$, $\phi 100\mu\text{m}$)

5.基板サイズ

・基板サイズ: $510 \times 407\text{mm}^2$

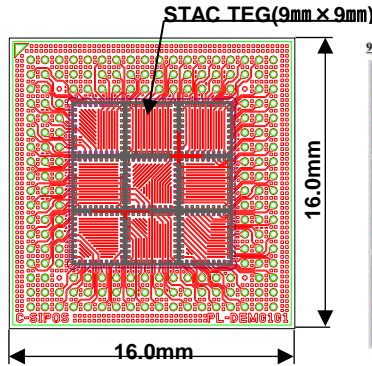
・モジュール個片サイズ: $16 \times 16\text{mm}^2$

6.モジュール端子ピッチ/端子数/端子サイズ

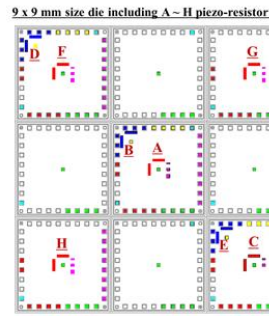
・ 0.8mm ピッチ / 176端子 / $\phi 0.35\text{mm}$ (SR開口)

7.モジュール取得数

・616個

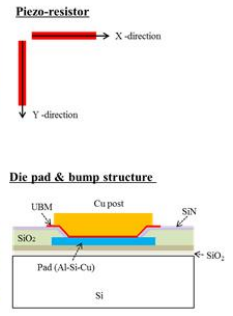


PL_DEM0101 CSP外形図

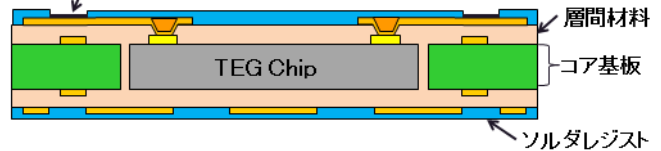


内蔵した応力評価チップ(STAC-TEG)

※提供:株式会社WALTS



外部端子(Ni/Au)

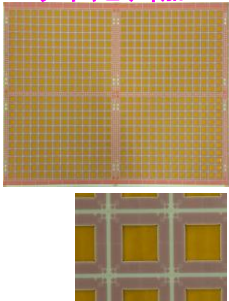


PL_DEM0101断面概略図

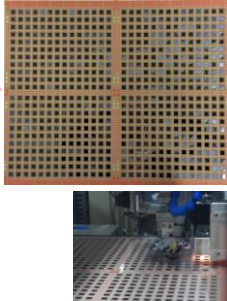
* 上記以外にもレイアウト、チップサイズ(1mm~10mm)等をカスタムで変更可能ですので、試作のご希望があればお気軽にお声かけください

【プロセス】

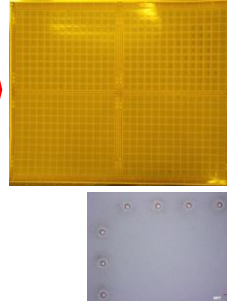
コア基板パターンニング
キャビティ加工



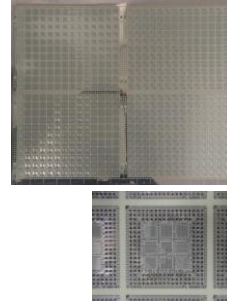
TEG-Chip搭載



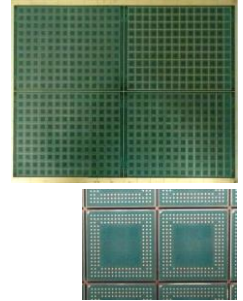
ビルドアップ材ラミネート
レーザーVia加工



配線パターン形成



ソルダレジスト加工
表面Ni/Auめっき

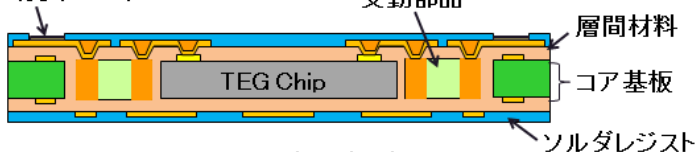


【今後の展開】

①キャビティ内のICチップ周辺に受動部品を内蔵した、PL_DEM0102の作製を検討中

外部端子(Ni/Au)

受動部品



PL_DEM0102断面概略図